



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001023316 A

(43) Date of publication of application: 26.01.01

(51) Int. Cl.

G11B 20/18

G06F 11/10

G06F 12/16

G11B 20/10

H03M 13/03

(21) Application number: 11189871

(22) Date of filing: 05.07.99

(71) Applicant: HITACHI LTD

(72) Inventor: HOSHISAWA HIROSHI

(54) METHOD FOR REPRODUCING DIGITAL DATA,  
CIRCUIT FOR REPRODUCING DIGITAL DATA  
AND DETECTION OF ERROR

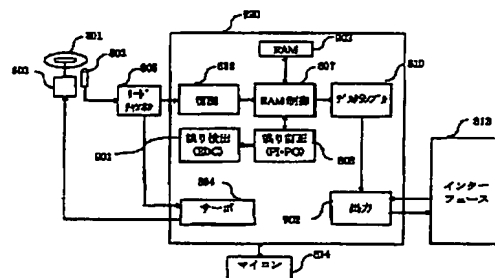
accordance with the data demand from an interface 813.

COPYRIGHT: (C)2001,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to perform the processing with one RAM instead of using a RAM for error correction processing and a RAM for instant correspondence to demand from interface by performing error correction (PI/PO correction) and, at the same time, performing error inspection (EDC check).

**SOLUTION:** The DVD signal processing circuit 920 writes data from an optical disk 801 into the RAM 903 in the form of ECC block via a demodulator circuit 806 and a RAM control circuit 807. Subsequently, the DVD signal processing circuit reads the data written into the RAM 903 in accordance with demand from the error correction circuit 808 and corrects the error. Further, error correction using error detection sign EDC in a unit of data sector by means of the error detection circuit 901 is performed tow the scrambled data which are read out from the RAM 903 owing to error correction. The data sector on the demodulated RAM 903 is outputted via a descrambling circuit 810 and an output circuit 902 in



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-23316

(P2001-23316A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 B 20/18	5 4 4	G 1 1 B 20/18	5 4 4 Z 5 B 0 0 1
	5 1 2		5 1 2 E 5 B 0 1 8
	5 2 0		5 2 0 E 5 D 0 4 4
	5 4 2		5 4 2 A 5 J 0 6 5
	5 7 0		5 7 0 H

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平11-189871

(22) 出願日 平成11年7月5日 (1999.7.5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 星沢 拓

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100075096

弁理士 作田 康夫

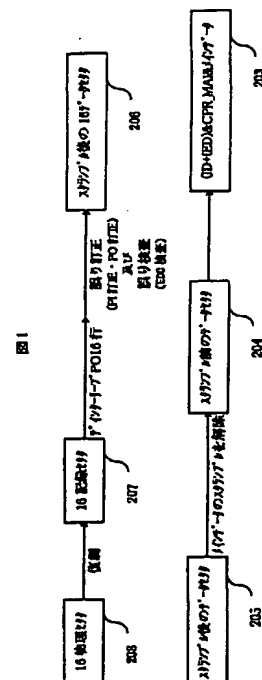
最終頁に続く

(54) 【発明の名称】 デジタルデータ再生方法及びデジタルデータ再生回路並びに誤り検出方法

(57) 【要約】

【課題】 デジタルデータの信号処理回路では、データが外部に出力されるまでに、そのデータを含むデータセクタに対する誤り検出処理を行う必要があるために、誤り訂正処理用のRAMと外部からの要求に迅速に対応するためのRAMの2つのRAMを必要とするという問題点があった。

【解決手段】 本発明では、スクランブルが施されたデータに対する誤り検出回路を用いて、誤り訂正 (P I ・ P O 訂正) を行うと同時に、誤り検出 (E D C チェック) を行うことで上記問題を解決した。



1

## 【特許請求の範囲】

【請求項 1】誤りを検出するための検査データ列が付加された後、一定の規則に従ったスクランブル処理が施されたデータ列を入力とし、データ列に施されたスクランブルの解除、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生方法において、前記データ列に含まれる誤り検出を行った後、前記データ列に施されたスクランブルの解除を行うことを特徴とするデジタルデータ再生方法。

【請求項 2】誤りを検出するための検査データ列が付加された後、誤りを訂正する検査データ列が付加されたデータ列を入力とし、誤りを訂正するための検査データ列を用いてデータ列に含まれる誤りの訂正、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生方法において、前記データ列に含まれる誤りの検出と前記データ列に含まれる誤りの訂正を同時に行い、前記データ列に含まれる誤りの検出を前記データ列に含まれる誤りの訂正の結果に応じながら行うことを特徴とするデジタルデータ再生方法。

【請求項 3】誤りを検出するための検査データ列が付加され、一定の規則に従ったスクランブル処理が施された後、誤りを訂正する検査データ列が付加されたデータ列を入力とし、誤りを訂正するための検査データ列を用いてデータ列に含まれる誤りの訂正、及び、データ列に施されたスクランブルの解除、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生方法において、前記データ列に含まれる誤りの検出と前記データ列に含まれる誤りの訂正を同時に行い、前記データ列に含まれる誤りの検出を前記データ列に含まれる誤りの訂正の結果に応じながら行った後、前記データ列に施されたスクランブルの解除を行うことを特徴とするデジタルデータ再生方法。

【請求項 4】誤りを検出するための検査データ列が付加された後、一定の規則に従って選択されたスクランブルデータが加算されたデータ列を対象とする誤り検出方法において、前記データ列の誤り検出判定値を演算、前記一定の規則に従って選択されたスクランブルデータに対応した誤り検出判定基準値を選択した後、前記演算で求められた誤り検出判定値と前記選択された誤り検出判定基準値を比較することで前記データ列に含まれる誤りの検出を行うことを特徴とする誤り検出方法。

【請求項 5】誤りを検出するための検査データ列が付加された後、一定の規則に従って選択されたスクランブルデータが加算され、誤りを訂正するための検査データ列が付加されたデータ列を対象とする誤り検出方法において、前記データ列の誤り検出判定値を演算、前記一定の規則に従って選択されたスクランブルデータに対応した

2

誤り検出判定基準値を選択した後、前記データ列の誤り訂正結果に応じて、前記データ列の誤り検出判定値及び、前記一定の規則に従って選択されたスクランブルデータに対応した誤り検出判定基準値を修正し、前記データ列を対象とする誤り訂正終了時に前記修正された誤り検出判定値と前記修正された誤り検出判定基準値を比較することで前記データ列に含まれる誤りの検出を行うことを特徴とする誤り検出方法。

10 【請求項 6】誤りを検出するための検査データ列が付加された後、一定の規則に従ったスクランブル処理が施されたデータ列を入力とし、データ列に施されたスクランブルの解除、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生回路において、前記データ列に含まれる誤り検出を行った後、前記データ列に施されたスクランブルの解除を行うことを特徴とするデジタルデータ再生回路。

20 【請求項 7】誤りを検出するための検査データ列が付加された後、誤りを訂正する検査データ列が付加されたデータ列を入力とし、誤りを訂正するための検査データ列を用いてデータ列に含まれる誤りの訂正、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生回路において、前記データ列に含まれる誤りの検出と前記データ列に含まれる誤りの訂正を同時に行い、前記データ列に含まれる誤りの検出を前記データ列に含まれる誤りの訂正の結果に応じながら行うことを特徴とするデジタルデータ再生回路。

30 【請求項 8】誤りを検出するための検査データ列が付加され、一定の規則に従ったスクランブル処理が施された後、誤りを訂正する検査データ列が付加されたデータ列を入力とし、誤りを訂正するための検査データ列を用いてデータ列に含まれる誤りの訂正、及び、データ列に施されたスクランブルの解除、及び、誤りを検出するための検査データ列を用いてデータ列に含まれる誤りの検出を行うデジタルデータ再生回路において、前記データ列に含まれる誤りの検出と前記データ列に含まれる誤りの訂正を同時に行い、前記データ列に含まれる誤りの検出を前記データ列に含まれる誤りの訂正の結果に応じながら行った後、前記データ列に施されたスクランブルの解除を行うことを特徴とするデジタルデータ再生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、デジタルデータの再生装置及びデジタルデータ再生方法に関わる。

## 【0002】

【従来の技術】PC等に広く利用されているCD-ROM (Compact Disc - Read Only Memory) に記録されているデジタルデータには、再生時、復調されたデータ

3

の信頼性を測るため、2048バイトからなるデータブロック単位で4バイトのEDC (Error Detection Code) と呼ばれる誤り検出符号が付加されている。

【0003】また、このデータには、同じパターンの繰り返しによる信号のパワースペクトルの平均化を目的とし、ある規則に従ったスクランブル処理が施されている。

【0004】この説明は、中島平太郎・小川博司：「コンパクトディスク読本」オーム社 P. 144-145、  
原田益水：「CD技術のすべて」電波新聞社 P. 25  
6-257や林謙二：「CD」コロナ社 P. 126-127等にある。

【0005】また、これらの変調が施されているデジタルデータを記録するメディアとして、CD (Compact Disc) の約8倍のデータ容量 (4.7Gバイト) を持つDVD (Digital Versatile Disc) がある。

【0006】DVD上の情報領域のフォーマットでは、CDと同様に、トラックは連続ピットにより形成され、トラックの中心はピットの中心となり、連続のらせん形状となっている。

【0007】図2は、このDVDに記録されるデータの变調過程の一部を示している。

【0008】セクタはデータ列からなる変調の基本単位であり、変調の段階にしたがって、“データセクタ” 204、“記録セクタ” 207及び“物理セクタ” 208が生成される。

【0009】図3は“(スクランブル前の) データセクタ” 204の構成を示している。この図が示すように、1データセクタ204は、2048バイトのメインデータ304と、1バイトのセクタ情報 (Data Field Information) 及び、データエリアに対して030000hを先頭として割り振られるつけられる3バイトの通し番号のセクタ番号 (Data Field Number) により構成される4バイトのセクタID301及び、このセクタID301に対する誤り訂正パリティである2バイトのIED302、6バイトのCPR\_\_MAI303の計12バイト、そしてセクタID301\*

$$D(x) = D_0 \cdot x^{2047} + D_1 \cdot x^{2046} + \dots + D_{2047} \cdot x^0$$

に加え、メインデータ 304 を

$$\begin{aligned} Ds(x) &= Ds_0 \cdot x^{2047} + Ds_1 \cdot x^{2046} + \dots + Ds_{2047} \cdot x^0 \\ &= (D_0 + S_0) \cdot x^{2047} + (D_1 + S_1) \cdot x^{2046} + \dots + (D_{2047} + S_{2047}) \cdot x^0 \end{aligned}$$

【0016】として求められる $Ds_0, Ds_1, \dots, Ds_{2047}$ に変換するスクランブル処理が施される。

【0017】次に、このような処理が施され、生成された“(スクランブル後の) データセクタ” 205を、図6が示すように16重ねあわせてできる172バイト×192行を情報フィールドとしたクロスリードソロモン誤り訂正符号をエンコードする。このエンコードは外符号

4

\*の先頭バイトのMSBをb16511とし、最後のEDCのLSBをb0とした場合、

【0010】

【数1】

0

$$EDC(x) = \sum_{i=31} h_i \cdot x^i$$

$$i=31$$

$$I(x) \bmod \{g(x)\}$$

ただし、

32

$$I(x) = \sum_{i=16511} b_i \cdot x^i$$

$$i=16511$$

$$g(x) = x^{32} + x^{31} + x^4 + 1$$

【0011】として求められる4バイトのEDC305からなる2064バイトのデータで構成され、その形式は172バイト×12行である。

20 【0012】次にこのように形成されたデータセクタ204に対して、セクタID301の (MSBをb31、LSBをb0とした場合) b7からb4までの4ビットを初期プリセット番号とし、図4が示す初期プリセット番号に対応する15ビットの初期値を図5のスクランブル発生回路に代入する。そして、この回路におけるr7からr0までの8ビットのデータを8ビットシフトごとに取り出し、発生した順にS0, S1, ..., S2047としたときに、

【0013】

【数2】

$$S(x) = S_0 \cdot x^{2047} + S_1 \cdot x^{2046} + \dots + S_{2047} \cdot x^0$$

【0014】として求められるスクランブルデータをデータセクタ204のセクタID301の方から順にD0, D1, ..., D2047として表わす2048バイトのメインデータ304、

【0015】

【数3】

$$D(x) = D_0 \cdot x^{2047} + D_1 \cdot x^{2046} + \dots + D_{2047} \cdot x^0$$

パリティ (PO602) を各列の下にRS (208, 192, 17) の外符号を形成することで付加し、内符号パリティ (PI601) を各行の最後にRS (182, 172, 11) の内符号を形成し、付加することで行われ、こうして形成された182バイト×208行のデータフィールドはECCブロック603と呼ばれる。

【0018】また、こうして作られたPI601を含む1

82バイトのデータ12行からなるデータ列に1行のP  
O602を加えた13行のデータ列が“記録セクタ”207で  
ある。

【0019】そして、“物理セクタ”208は、記録セク  
タ207の91バイト毎の先頭にSYNC符号を加え、8  
／16変換による変調の後のセクタである。

【0020】このため、DVDから読み出されたデータ  
の復調処理は、通常、図2の逆の図7ようになる。また、  
従来は図7の復調処理を行うために、図8のような  
回路構成のDVD信号処理回路820を用いていた。こ  
こで、この回路の動作をDVD801から読み出されるデー  
タの流れに従って簡単に説明する。

【0021】DVD801に記録されているデータは、ピ  
ックアップ802から読み出され、リードチャンネル805に  
おいて波形等価された後、NRZI (Non Return to Ze  
ro) 変換され、このデータに同期したクロックを生成し  
て共にDVD信号処理回路820へ入力される。DVD信  
号処理回路820に入力されたデータは、まず復調回路806  
において8／16復調され、RAM制御回路807を介し  
て、POインターリーブを解きながら、RAM809aにE  
CCブロックの形で書き込まれる。

【0022】次にRAM809aに書き込まれたデータは、  
誤り訂正回路808からの要求に応じて、PI訂正時、行  
方向(PI系列方向)に読み出され、1PIフレーム上  
の最大5個までの誤りの修正が行われる。また、PO訂  
正時には、列方向(PO系列方向)にRAM809a上のデー  
タは読み出され、1POフレームに含まれる最大16  
個までの誤りの修正が行われる。このようにして誤り訂  
正回路808において、PI訂正・PO訂正されたデータ  
は、デスクランブル回路810にて、セクタID301の一部、  
変調時に初期プリセット番号として用いたb7からb4  
のデータをもとに、スクランブルを解除された後、デー  
タセクタ305の単位で誤り検出回路811において、

【0023】

【数4】

$$EDCdec(x) = \{I(x) + EDC(x)\} \bmod \{g(x)\}$$

【0024】を求め、0になるかどうかのEDCチェッ  
クが行われる(EDCdec(x)が0ならば誤りなしと判  
断)。そして、RAM制御機能を持つ出力回路を介し  
て、一旦RAM809bに貯められた後、インターフェース  
813からのデータ要求に応じて、出力回路812を通して、  
DVD信号処理回路920から出力される。

【0025】

【発明が解決しようとする課題】上記のように、従来、  
DVD801から読み出されたデジタルデータを再生す  
るための信号処理回路820では、誤り訂正処理のための  
RAM809a(サイズは2ECCブロック以上、つまり6  
00kビット以上)とのインターフェース813からの要  
求にすぐに対応するためのRAM809b(サイズは大き  
ければ大きいほど良い)の2つ以上のRAMを必要とし、

データ保管のために多くの回路面積を要するという問題  
があった。

【0026】また、これらの2つのRAM809a, 809bを  
兼用し、インターフェース813からの要求に対応するた  
めのRAM909bを省いた場合には、インターフェース81  
3にデータを送りながら、誤り検出処理(EDCチェッ  
ク)を誤り検出回路811で行うこととなるため、対象と  
なるデータが既にインターフェース813に転送された後  
に、そのデータを含むデータセクタ204に誤りが含まれ  
ているかどうかを判明する、という問題があった。

【0027】

【課題を解決するための手段】そのため、上記問題を解  
決するために、本発明は誤り訂正(PI・PO訂正)を  
行うと同時に、誤り検査(EDCチェック)を行うこと  
で上記問題を解決した。

【0028】

【発明の実施の形態】以下、図を用いて本発明の実施例  
について説明する。

【0029】図1は、本発明の復調処理の一例であり、  
図9はこの復調処理を実現するための回路構成を示して  
いる。図1の復調処理を図9の回路構成と共に説明す  
る。

【0030】図8と同様に、DVD801から読み出さ  
れ、DVD信号処理回路920に入力されたデータは、ま  
ず復調回路806において8／16復調され、RAM制御  
回路807を介して、POインターリーブを解きながら、  
RAM903にECCブロックの形で書き込まれる。

【0031】次にRAM903に書き込まれたデータは、  
誤り訂正回路808からの要求に応じて、PI訂正時、行  
方向に読み出され、1PIフレーム上の最大5個までの  
誤りの修正が行われ、PO訂正時には、列方向にRAM  
903上のデータは読み出され、1POフレームに含まれ  
る最大16個までの誤りの修正が行われる。

【0032】また本発明の回路では、誤り訂正のために  
RAM903から読み出された、スクランブルがかかった  
データに対し、誤り検出回路901においてデータセクタ2  
05の単位でEDC305を用いた誤り検出を行う。

【0033】このようにして、復調されたRAM903上  
のデータセクタ205はインターフェース813からのデー  
タ要求に応じて、デスクランブル回路810においてスク  
ランブルを解除しながら、出力回路902を介して、DVD  
信号処理回路820から出力される。

【0034】次にこのDVD信号処理回路920におい  
て、誤り検出(EDCチェック)がどのようにして行わ  
れるかを説明する。

【0035】誤り検査回路811の入力を誤り訂正回路808  
への入力データと同じとする。このとき、データが1デ  
ータセクタ205内の4バイト目のセクタID301であった  
場合には、そのうちの上位4ビットの値を初期プリセッ  
ト番号として保存する。またPI601、PO602を除く2

7

064バイトの1データセクタ205に対する4バイトのEDCnew-dec(x)を従来の回路同様にセクタID301の先頭バイトのMSBをa16511とし、最後のEDCのLSBをa0として、

【0036】

【数5】

$$EDC_{new-dec}(x) = \{A(x)\} \bmod \{g(x)\}$$

ただし、

0

$$A(x) = \sum a_i \cdot x^i$$

$$i=16511$$

【0037】として求める。

【0038】この誤り検出処理において、ここまでの処理を“EDC演算”という。

【0039】次に、誤り検出処理として、誤り訂正回路808の修正される誤りの値（誤りデータと本来のデータとの差分）と位置から、EDC演算で求められたEDCnew-dec(x)を修正する演算を行う。

【0040】誤り訂正回路808において、誤りと判断された位置が、セクタID301の4バイト目のデータの位置である場合には、EDC演算時に保存された初期プリセット番号の値に、この位置が示すデータに含まれる誤りの値の上位4ビットを加える。

【0041】また、求められた誤りの位置i（ただし、jはバイトデータの位置であり、 $2060 \leq j \leq 2063$ をEDCの位置とする）がPI601またはPO602以外のデータの位置に相当する場合、つまりデータセクタ205に相当する位置の場合で、誤りの値がEであった場合には、

【0042】

【数6】

$$EDCE(x) = \{E(x)\} \bmod \{g(x)\}$$

ただし、

$$E = (e7, e6, e5, e4, e3, e2, e1, e0)$$

0

$$E(x) = \sum e_i \cdot x^{(8 \cdot j + i)}$$

$$i=7$$

$$EDC_{scr}(x) = \{S(x)\} \bmod \{g(x)\}$$

ただし、

0

$$S(x) = \sum s_i \cdot x^{(i+16)}$$

$$i=16383$$

とEDCscr(x)を定義すると、

$$EDC_{dec}(x) = EDC_{new-dec}(x) + EDC_{scr}(x)$$

8

【0043】を求め、このEDCE(x)の値をEDCnew-dec(x)に加え、EDCnew-dec(x)の値を更新する。

【0044】この演算を、誤り訂正回路808からRAM903上のデータに含まれる誤りの修正が行われる度に行うと、誤り訂正処理終了時のEDCnew-dec(x)は、誤り訂正処理が行われた後のRAM903上のスクランブルがかかったままのデータセクタ205に対して、再度、EDCdec(x)を計算して求められる値に一致する。

【0045】この誤り検出処理において、この処理を“EDC修正”という。

【0046】次にこのようにして求められたEDCnew-dec(x)の値から、誤り訂正処理後にこのデータセクタ205に誤りがあるかどうかの判断処理を行う。

【0047】先の従来の技術として述べたようにスクランブルが解除されたデータセクタ204に対しては、

【0048】

【数7】

$$EDC_{dec}(x) = \{I(x) + EDC(x)\} \bmod \{g(x)\}$$

【0049】を求め、EDCdec(x)が0になるかどうかで誤り検査が行われた。

【0050】また、EDCnew-dec(x)は、データセクタ204を構成する2064バイトに含まれる2048バイトのメインデータ304にスクランブル処理が施されたままの状態で従来と同じEDC演算が行った場合と等しい。つまり、2048バイトのスクランブルのデータ列をS0, S1, ..., S2047とし、これをビット列s16383, s16382, ..., s0と表わして、

【0051】

【数8】

30

【0052】の関係が成り立つ。

【0053】従って、スクランブルがかかったままのデータセクタ205に対する誤り検査は、EDC演算、EDC修正中に保持、更新された4ビットの初期プリセット番号に応じたEDCscr(x)の値を求められたEDCnew-dec(x)に加えて得られた値が0になるかどうかで行うことで可能である。また、このようにして得られた値は、従来例で紹介したEDCdec(x)の値と一致することが容易に理解できる。

【0054】この誤り検出処理において、この処理を“誤り判断”という。

【0055】次に、EDC演算、EDC修正、誤り判断の各々はそれぞれ誤り検出回路901においていつ行われるか、誤り訂正回路808の処理との関係を図10、図11を用いて説明する。

【0056】図10はPI訂正のデータ読み出し時にEDC演算を行った場合のPI訂正、PO訂正の誤り訂正処理とEDCを用いた誤り検査処理との関係を表わしている。

【0057】この場合、EDCnew-dec(x)が求められた後に行われる誤り修正は、PI、POの両方で行う必要があるために、EDC修正はPI訂正時、PO訂正時の両方で行われる。

【0058】図11はPO訂正のデータ読み出し時にEDC演算を行った場合を表わしている。この場合はEDCnew-dec(x)が求められた後に行われる誤り修正は、POのみであるため、EDC修正はPO訂正時の1回のみで行われることとなる。

【0059】しかし、いずれの方法を用いても、EDC演算で最初に作られるEDCnew-dec(x)の値が異なるだけで、PI訂正、PO訂正を行う誤り訂正の終了時に得られるEDCnew-dec(x)の値は同じとなる。

【0060】また、本発明のEDC305を用いた誤り検査処理におけるEDC演算、及びEDC修正は、誤り訂正処理と平行して行われ、同時に終了する。また、誤り判断も4バイト目のセクタIDを含むフレームの全ての誤り訂正処理が終了したと同時に、そのECCブロック603に含まれる各々のデータセクタ205に対するEDCscr(x)を選択することができるため、誤り訂正処理終了とほぼ同時に誤り判断を終了させることが可能である。

【0061】したがって、本発明を用いることで、誤り訂正処理と誤り検査処理をほぼ同時に終了させることが可能となる。

【0062】尚、本発明における効果は、ディスクに記録されたデジタルデータに限ったものではなく、図2が示すような変調が行われている全てのデジタルデータ記録メディアの再生時に得ることができる。

【0063】

【発明の効果】従来、デジタルデータの信号処理回路では、データが外部に出力されるまでに、そのデータを含むデータセクタに対する誤り検出処理を行う必要があるために、誤り訂正処理用のRAMと外部からの要求に迅速に対応するためのRAMの2つのRAMを必要としていた。しかしながら、デジタルデータの信号処理回路に本発明の誤り検出回路回路を内蔵することで、従来とRAMへのアクセス回数を変化させずに、1つのRAMだけで従来と同様の処理を行うことができるようになる。

【図面の簡単な説明】

【図1】本発明を利用した場合に行われる復調処理を示す図。

【図2】データの変調を示す図。

【図3】データセクタを示す図。

【図4】初期プリセット番号と初期値の対応表を示す図。

【図5】スクランブル生成回路を示す図。

【図6】ECCブロックを示す図。

【図7】従来の復調処理を示す図。

【図8】従来の復調処理を実現するためのデジタルデータ信号処理回路の構成を示す図。

【図9】本発明を利用した復調処理を実現するためのデジタルデータ信号処理回路の構成を示す図。

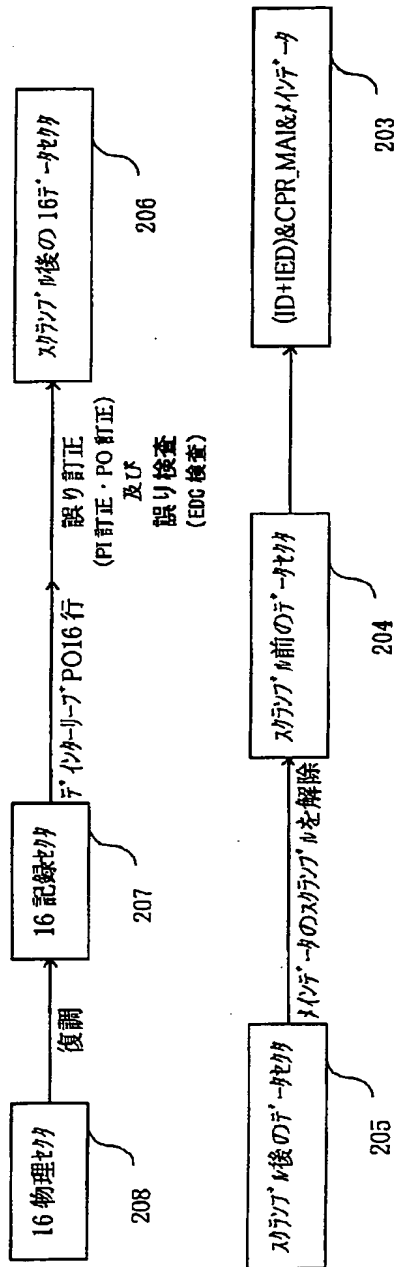
【図10】EDC検査のEDC演算をPI訂正のデータ読み出し時にに行った場合の誤り訂正と誤り検査の関係を示したフロー図。

【図11】EDC検査のEDC演算をPO訂正のデータ読み出し時にに行った場合の誤り訂正と誤り検査の関係を示したフロー図。

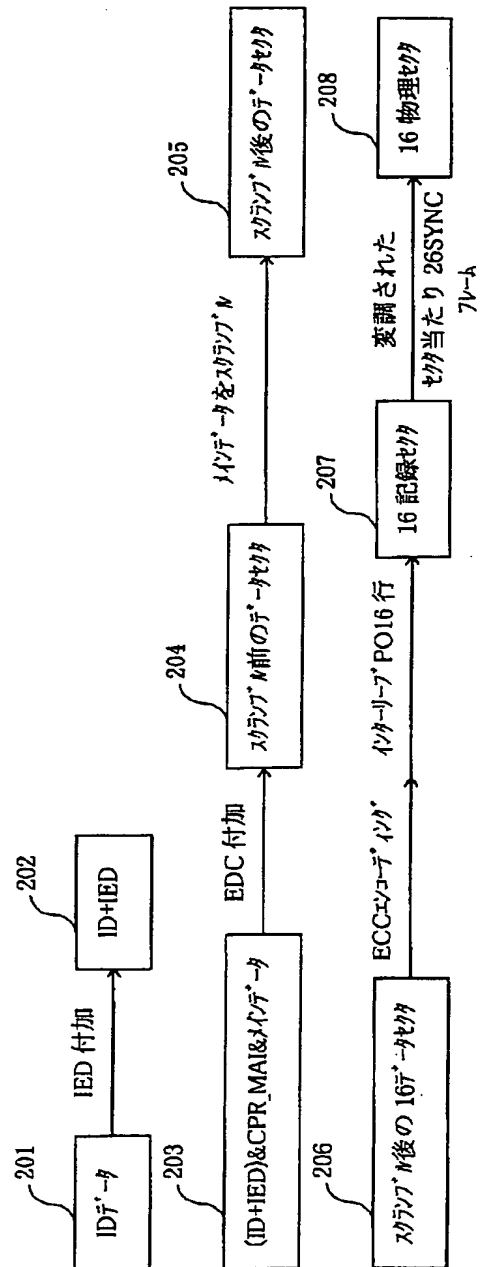
【符号の説明】

201…IDデータ、202…ID+IED、203…(ID+IED)&CPR\_MAIN&メインデータ、204…スクランブル前のデータセクタ、205…スクランブル後のデータセクタ、206…スクランブル後の16データセクタ、207…16記録セクタ、208…16物理セクタ、301…ID、302…IED、303…CPR\_MAIN、304…メインデータ、305…EDC、601…PI、602…PO、603…ECCブロック、801…光ディスク、802…ピックアップ、803…スピンドルモータ、804…サーボ、805…リードチャンネル、806…復調回路、807…RAM制御回路、808…誤り訂正回路、809a,b…RAM、810…デスクランブル回路、811…誤り検出回路、812…RAM制御機能付き出力回路、813…インターフェース回路、814…マイコン、820…DVD信号処理回路、901…誤り検出回路、902…出力回路、903…RAM、920…DVD信号処理回路。

【図1】



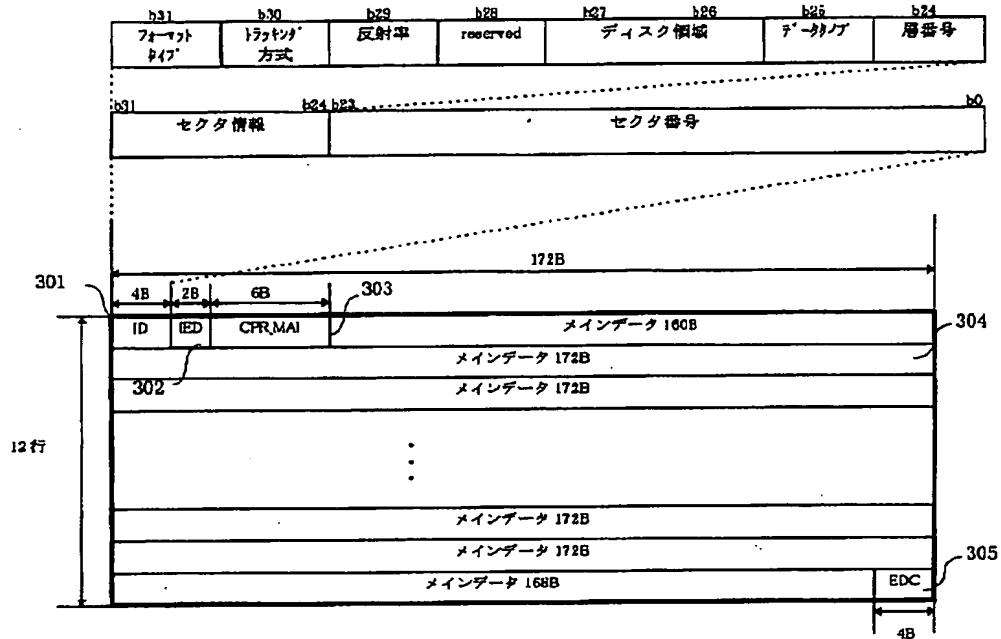
【図2】





【図 3】

図 3



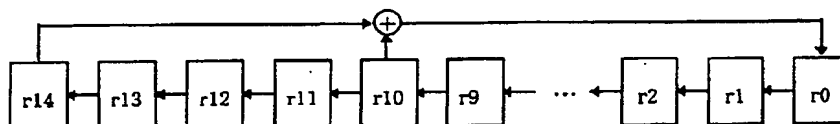
【図 4】

図 4

初期プリセット番号	初期値	初期プリセット番号	初期値
(0h)	(0001h)	(8h)	(0010h)
(1h)	(5500h)	(9h)	(5000h)
(2h)	(0002h)	(0Ah)	(0020h)
(3h)	(2A00h)	(0Bh)	(2001h)
(4h)	(0004h)	(0Ch)	(0040h)
(5h)	(5400h)	(0Dh)	(4002h)
(6h)	(0008h)	(0Eh)	(0080h)
(7h)	(2800h)	(0Fh)	(0005h)

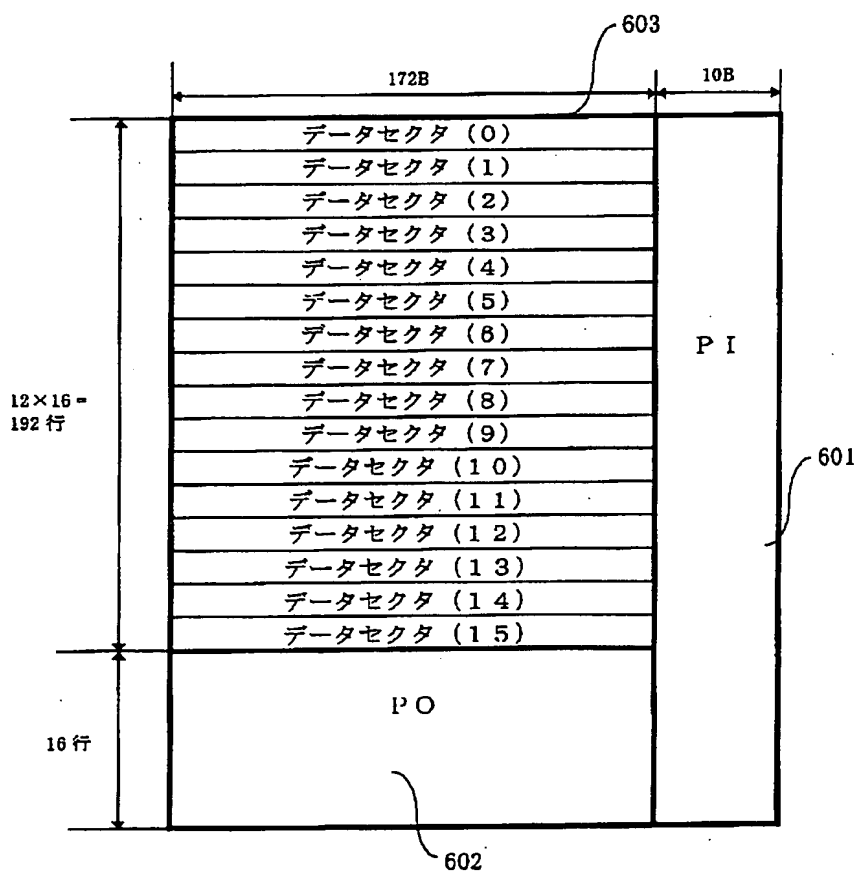
【図 5】

図 5



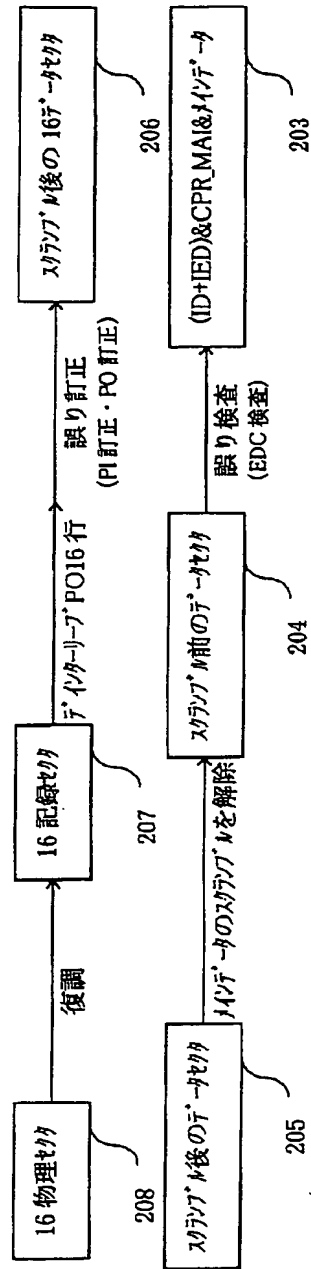
【図 6】

図 6



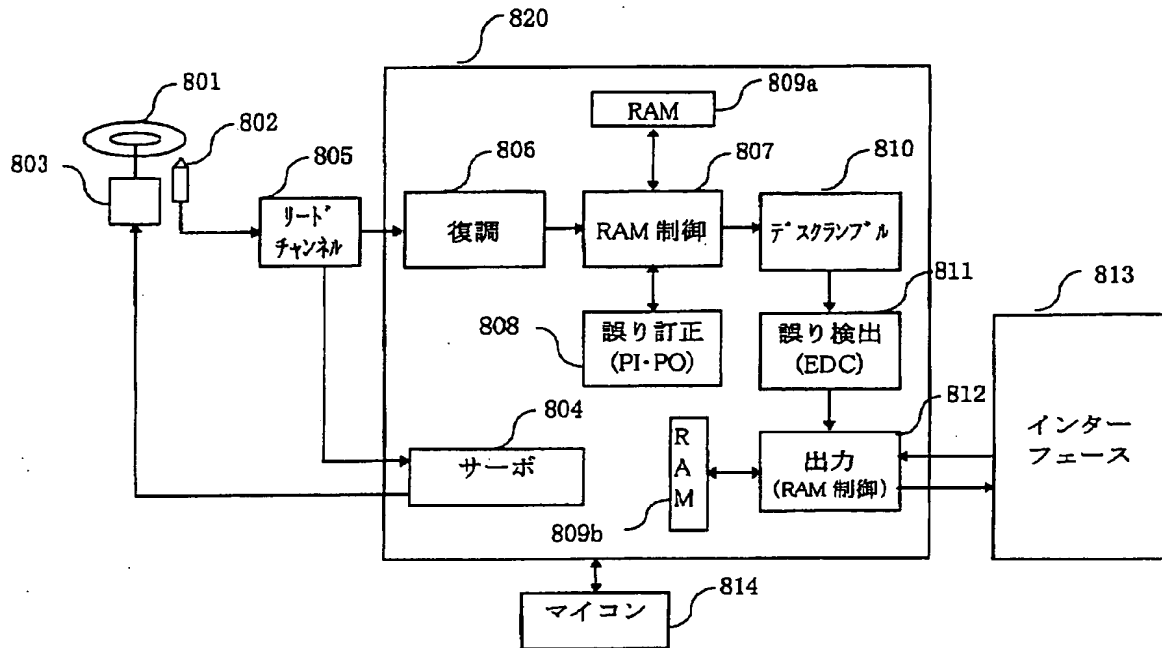
【図7】

図7



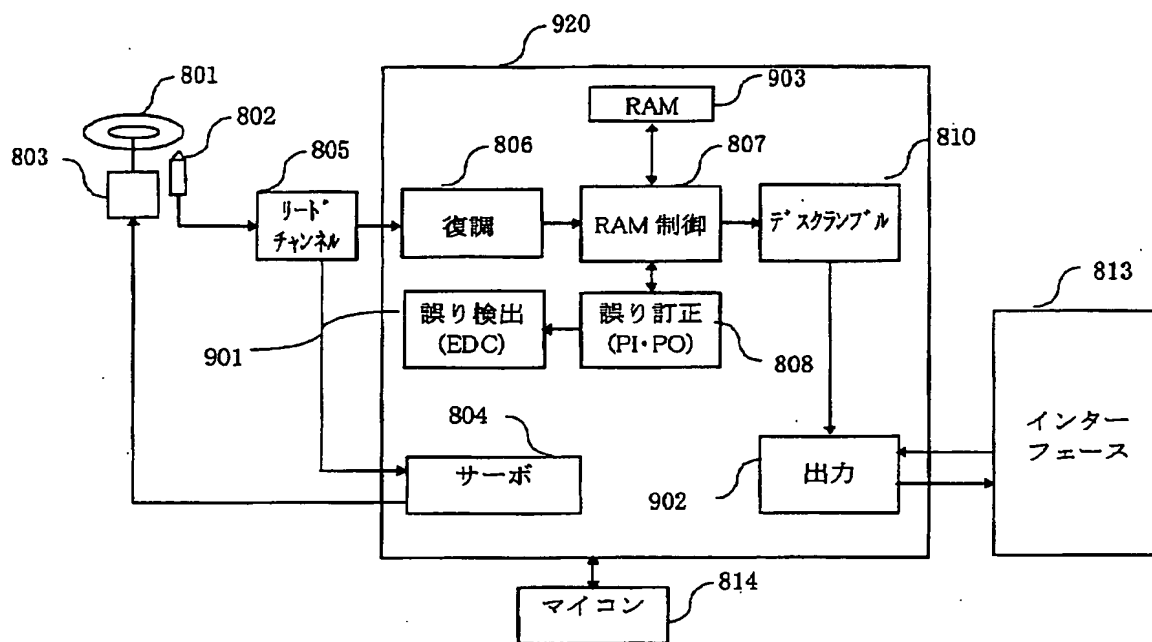
【図 8】

図 8



【図 9】

図 9



【図10】

【図11】

図10

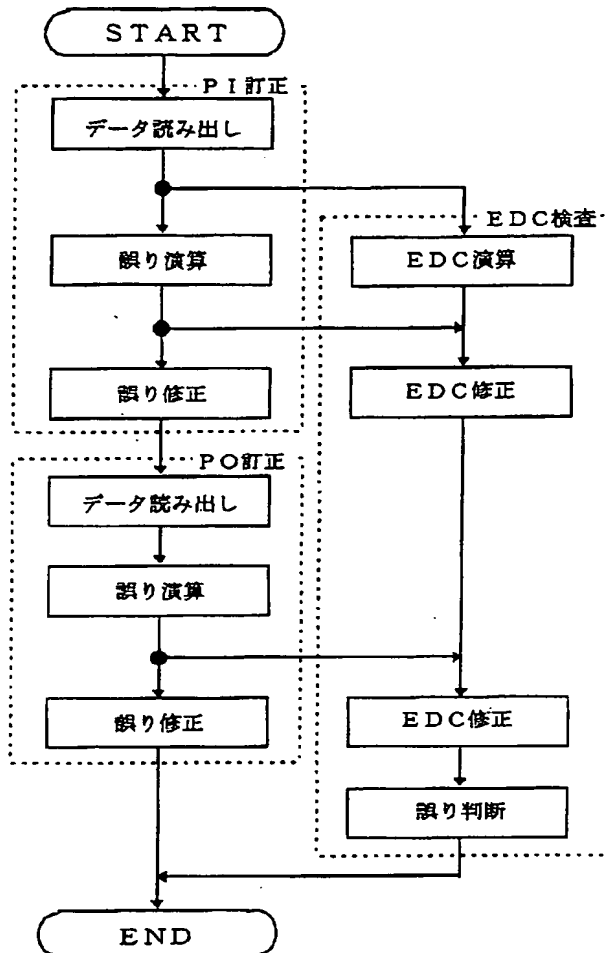
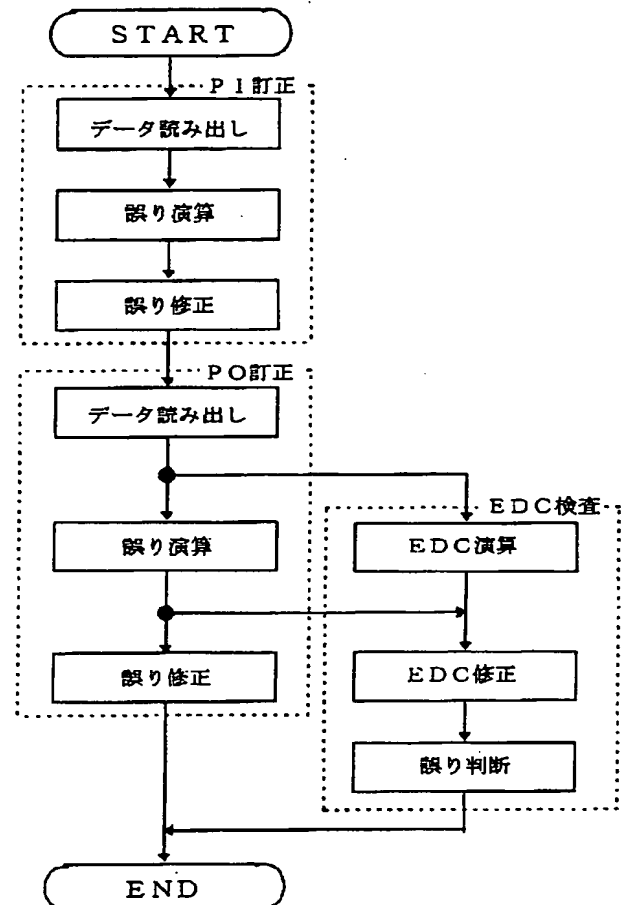


図11



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

FI

テマコード (参考)

G 0 6 F 11/10

3 3 0

G 0 6 F 11/10

3 3 0 L

12/16

3 2 0

12/16

3 2 0 E

G 1 1 B 20/10

3 2 1

G 1 1 B 20/10

3 2 1 Z

H 0 3 M 13/03

H 0 3 M 13/03

Fターム(参考) 5B001 AA01 AA11 AB02 AC05 AD04  
AE025B018 GA01 GA02 HA12 HA14 MA15  
NA01 RA11

5D044 BC06 CC04 DE03 DE68 DE81

5J065 AC03 AE01 AE02 AF03 AH09

AH13 AH15 AH17